

**МІНІСТЕРСТВО ОСВІТИ І НАУКИ УКРАЇНИ**  
**ЗАХІДНОУКРАЇНСЬКИЙ НАЦІОНАЛЬНИЙ УНІВЕРСИТЕТ**  
**ФАКУЛЬТЕТ КОМП'ЮТЕРНИХ ІНФОРМАЦІЙНИХ ТЕХНОЛОГІЙ**

**ЗАТВЕРДЖУЮ**

В.о. декана факультету комп'ютерних  
інформаційних технологій

Ігор ЯКИМЕНКО

“ ” 2023 р.

**ЗАТВЕРДЖУЮ**

Директор навчально-наукового  
інституту новітніх освітніх  
технологій

Святослав ПИТЕЛЬ

“ ” 2023 р.

**ЗАТВЕРДЖУЮ**

В.о. проректора з науково-  
педагогічної роботи

Віктор ОСТРОВЕРХОВ

“ ” 2023 р.

## РОБОЧА ПРОГРАМА

з дисципліни **“Технології комп'ютерного проектування”**

ступінь вищої освіти – **бакалавр**

галузь знань – **12 “Інформаційні технології”**

спеціальність – **122 “Комп'ютерні науки”**

освітньо-професійна програма – **“Комп'ютерні науки”**

### Кафедра інформаційно-обчислювальних систем і управління

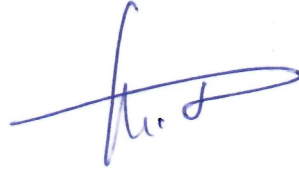
Форма навчання	Курс	Семестр	Лекції (год.)	Лабораторні заняття (год.)	ІРС (год.)	Тренінг, КПЗ (год.)	Самост. робота студ. (год.)	Разом (год.)	Залік (сем.)
Денна	4	7	26	12	2	10	100	150	7
Заочна	4	7, 8	8	4	-	-	138	150	8

Тернопіль – ЗУНУ  
2023

Робочу програму склав доцент кафедри ІОСУ, к.т.н. Ігор МАЙКІВ

Робоча програма затверджена на засіданні кафедри інформаційно-обчислювальних систем і управління, протокол № 1 від 29 серпня 2023 р.

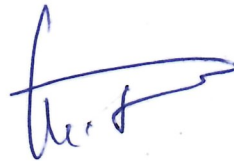
Завідувач кафедри



Мирослав Комар

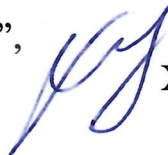
Розглянуто та схвалено групою забезпечення спеціальності “Комп’ютерні науки”, протокол № 1 від 29 серпня 2023 р.

Голова групи  
забезпечення спеціальності,  
д-р техн. наук, професор



Мирослав КОМАР

Гарант освітньо-професійної  
програми “Комп’ютерні науки”,  
канд. техн. наук, доцент



Христина ЛІП’ЯНІНА-ГОНЧАРЕНКО

**СТРУКТУРА РОБОЧОЇ ПРОГРАМИ НАВЧАЛЬНОЇ ДИСЦИПЛІНИ  
«ТЕХНОЛОГІЇ КОМП'ЮТЕРНОГО ПРОЕКТУВАННЯ»**

**1. Опис дисципліни «ТЕХНОЛОГІЇ КОМП'ЮТЕРНОГО ПРОЕКТУВАННЯ»**

Дисципліна «Технології комп'ютерного проекткування»	Галузь знань, спеціальність, СВО	Характеристика навчальної дисципліни
Кількість кредитів – 5	Галузь знань – 12 “Інформаційні технології”	<b>Статус дисципліни:</b> вибіркова дисципліна <b>Мова навчання:</b> Українська
Кількість залікових модулів – 3	Спеціальність – 122 «Комп'ютерні науки»	Рік підготовки: 4 Семестр: <i>Денна – 7</i> <i>Заочна – 7, 8</i>
Кількість змістових модулів – 2	Освітньо- професійна програма «Комп'ютерні науки»	Лекції: <i>Денна – 26 год.</i> <i>Заочна – 8 год.</i>  Лабораторні заняття: <i>Денна – 12 год.</i> <i>Заочна – 4 год.</i>
Загальна кількість годин – 150	Ступінь вищої освіти – бакалавр	Самостійна робота: <i>Денна – 100 год.,</i> <i>Заочна – 138 год.</i>  Тренінг, КПЗ: <i>Денна – 10 год.</i>  Індивідуальна робота: <i>Денна – 2 год.</i>
Тижневих годин – 10, з них аудиторних – 3 год.		Вид підсумкового контролю – залік

## **2. Мета і завдання дисципліни «ТЕХНОЛОГІЇ КОМП'ЮТЕРНОГО ПРОЕКТУВАННЯ»**

### **2.1. Мета вивчення дисципліни**

Метою дисципліни «Технології комп'ютерного проектування» є формування і отримання необхідних теоретичних знань галузі автоматизованого проектування цифрових вузлів та систем. Засвоєння практичних навиків їх створення та моделювання відповідним програмними засобами.

### **2.2. Завдання вивчення дисципліни**

Завданням дисципліни є розвиток у студентів здатності до логічного мислення, побудови моделей алгоритмічних обчислень, проектування та розроблення проектів цифрових пристроїв та ієрархічних цифрових систем а також виконувати їх моделювання і тестування, вміння оцінювати ефективність отриманих рішень та виконувати оптимізацію моделей цифрових пристроїв за набором критеріїв.

### **2.3. Результати навчання**

В результаті вивчення дисципліни студент повинен:

Знати:

– сучасні програмні засоби проектування цифрових пристроїв та систем на базі ПЛІС;

– технологію автоматизованого комп'ютерного проектування цифрових пристроїв та систем на базі програмованих логічних інтегральних схем (ПЛІС) із використанням мови опису апаратних засобів VHDL.

Вміти:

– здійснювати аналіз алгоритмів роботи пристрою, синтез його структури, проектування та моделювання окремих вузлів та пристрою в цілому;

– формулювати критерії оцінки та оцінювати ефективність отриманих рішень;

– здійснювати пошук та пропонувати нові технічні рішення виходячи із наявних апаратних засобів у відповідності з різними критеріям продуктивності та якості;

– проектувати типові та спеціалізовані цифрові пристрої на мові опису апаратних засобів VHDL.

### **3. Програма навчальної дисципліни «ТЕХНОЛОГІЇ КОМПЮТЕРНОГО ПРОЕКТУВАННЯ»**

#### **Змістовий модуль 1. VHDL як інструмент реалізації цифрових пристроїв на ПЛІС**

##### **Тема 1. Проект на мові VHDL**

Структура VHDL проекту. Ідентифікатори та правила їх запису. Порядок оголошення компонента та архітектури у файлі проекту. Декларативна та виконувана частина архітектури проекту. Режими роботи портів. Приклад реалізацію проекту на мові VHDL.

##### **Тема 2. Об'єкти та тип даних в мові VHDL**

Сигнали, константи змінні. Класи типів даних.

##### **Тема 3. Паралельні оператори**

Оператор безумовного паралельного присвоєння. Паралельний оператор умовного присвоєння (when-else). Паралельний оператор селективного присвоєння (with-select) Застосування паралельних операторів для проектування комбінаційних схем та стандартних комбінаційних вузлів (мультиплексорів, демультимплексорів, шифраторів, дешифраторів, перетворювачів кодів, суматорів, примножувачів).

##### **Тема 4. Процеси та послідовні оператори**

Поняття процесу у мові VHDL, їх властивості та застосування. Способи запису процесів. Оператор безумовного послідовного присвоєння. Умовні оператори (if-then-else, case). Застосування процесів та послідовних операторів для проектування комбінаційних схем та стандартних комбінаційних вузлів. Синхронізовані процеси та послідовні пристрої. Співставлення та порівняння ефективності застосування послідовних та паралельних операторів.

##### **Тема 5. Застосування TestBench у мові VHDL**

Застосування VHDL для тестування цифрових пристроїв. Процес перевірки моделі пристрою. Поняття та структура TestBench. Способи запису TestBench. Інерційна та транспортна затримка. Генерування тестових сигналів. Оператор оголошення (Assert). Масиви, записи, файли. Робота із файлами.

##### **Тема 6. Проектування та тестування послідовних цифрових пристроїв**

Застосування процесів та послідовних операторів для проектування послідовних схем (тригери, регістри, лічильники). Розроблення TestBench для тестування послідовних цифрових схем.

## **Тема 7. Функції та процедури. Створення і застосування пакетів**

Процедури, Опис та виклик процедури. Сигнал як параметр процедури. Оператори паралельного виклику процедури.

## **Тема 8. Структурний опис проекту та параметризовані модулі.**

Оператор generic та налаштування параметрів модуля. Компонент, декларування компонента, включення компонента в проект. Оператор generate та для керування процесом синтезу

## **Змістовий модуль 2. Проектування цифрових пристроїв та обчислювальних систем на ПЛІС**

### **Тема 9. Математичні оператори та синтез схем на їх основі**

Вбудовані математичні оператори. Оператори для чисел із знаком та без знаку. Перевантаження операторів для різних типів даних. Реалізація коду із застосуванням функцій та процедур. Перелік пакетів для арифметичних операцій. Реалізація математичних операцій над векторами.

### **Тема 10. Цифрові автомати (ЦА). Проектування ЦА на основі граф-схем алгоритмів (ГСА)**

Поняття про цифровий автомат (ЦА). Множина параметрів, необхідних для опису роботи ЦА. Цифрові автомати Мура та Міля. Методи аналізу ГСА. Формування множини станів ЦА, набору вхідних та вихідних сигналів, таблиці переходів ЦА. Діаграма-стану як один із варіантів представлення алгоритму роботи ЦА. Створення діаграми-станів на основі таблиці переходів ЦА. Правила нотації діаграми станів для ЦА Мура та Міля. Шаблон та приклад реалізації ЦА Мура на мові VHDL. Шаблон та приклад реалізації ЦА Міля на мові VHDL. Загальні правила запису ЦА на мові VHDL. Способи кодування станів ЦА та їх вплив на швидкодію ЦА. Створення TestBench для тестування ЦА.

### **Тема 11. Архітектура та базові компоненти ПЛІС фірми Xilinx**

Структура ПЛІС. Конфігураційний логічний блок (CLB) та слайс (SLICE) як базові елементи ПЛІС. Застосування LUT для реалізації комбінаційних схем, розподіленої оперативної пам'яті, послідовних регістрів зсуву. Тригери, як базові елементи пам'яті ПЛІС. Узагальнена структура та режими роботи SLICE. Структура та функціональні можливості блоків вводу-виводу. Блоки пам'яті їх функціональні можливості та варіанти організації пам'яті.

### **Тема 12. Мікропроцесорні системи та IP-ядра процесорів**

Узагальнена структура мікропроцесор системи. IP-ядра процесорів (PicoBlaze, Microblaze, ARM). Мікроконтролер (МК) PicoBlaze (системна шина, області пам'яті, система команд, організація портів вводу-виводу, система опрацювання переривань).

### **Тема 13. Проектування обчислювальної системи на базі МК PicoBlaze**

Проектування апаратного забезпечення. Розроблення програмного забезпечення. Синтез та перевірка проекту (передбачає створення проекту на базі ПЛІС, де МК PicoBlaze програмним шляхом здійснює зчитування байту даних аналіз окремих розрядів, і виконання набору підпрограм та вивід байту даних на світло діоди або семи-сегментні індикатори).

#### 4. Структура залікового кредиту з дисципліни «ТЕХНОЛОГІЇ КОМП'ЮТЕРНОГО ПРОЕКТУВАННЯ»

##### Денна форма навчання

Тема	Кількість годин					
	Лекції	Лабораторні заняття	Індивідуальна робота	Тренінг, КПЗ	Самостійна робота	Контрольні заходи
<b>Змістовий модуль 1. VHDL як інструмент реалізації обчислювальних систем на ПЛІС</b>						
Тема 1. Проект на мові VHDL	2	-	-	5	6	Опитування під час заняття
Тема 2. Об'єкти та тип даних в мові VHDL	2	2	-		6	Опитування під час заняття
Тема 3. Паралельні оператори	2	2	-		8	Опитування під час заняття
Тема 4. Процеси та послідовні оператори	2	-	-		8	Опитування під час заняття
Тема 5. Застосування TestBench у мові VHDL	2	-	-		8	Опитування під час заняття
Тема 6. Проектування та тестування послідовних ЦП	2	2	-		8	Опитування під час заняття
Тема 7. Функції та процедури. Створення і застосування пакетів	2	-	-		8	Опитування під час заняття
Тема 8. Структурний опис проекту та параметризовані модулі	2	-	-		8	Опитування під час заняття
<b>Змістовий модуль 2. Проектування цифрових пристроїв та обчислювальних систем на ПЛІС</b>						
Тема 9. Математичні оператори та синтез схем на їх основі	2	-	-	5	8	Опитування під час заняття
Тема 10. Цифрові автомати (ЦА). Проектування ЦА на основі граф-схем алгоритмів	2	2	1		8	Опитування під час заняття



Тема 11. Архітектура та базові компоненти ПЛІС фірми Xilinx	2	-	-		8	Опитування під час заняття
Тема 12. Мікропроцесорні системи та IP-ядра процесорів	2	-	-		8	Опитування під час заняття
Тема 13. Проектування обчислювальної системи на базі IP-ядра МК PicoBlaze	2	4	1		8	Опитування під час заняття
<b>Разом</b>	<b>26</b>	<b>12</b>	<b>2</b>	<b>10</b>	<b>100</b>	

## Заочна форма навчання

Тема	Кількість годин			
	Лекції	Лабораторні заняття	Тренінг, КПЗ	Самостійна робота
<b>Змістовий модуль 1. VHDL як інструмент реалізації обчислювальних систем на ПЛІС</b>				
Тема 1. Проект на мові VHDL	2	-	-	6
Тема 2. Об'єкти та тип даних в мові VHDL				6
Тема 3. Паралельні оператори				6
Тема 4. Процеси та послідовні оператори				12
Тема 5. Застосування TestBench у мові VHDL	2	2	-	12
Тема 6. Проектування та тестування послідовних ЦП				12
Тема 7. Функції та процедури. Створення і застосування пакетів				12
Тема 8. Структурний опис проекту та параметризовані модулі				12
<b>Змістовий модуль 2. Проектування цифрових пристроїв та обчислювальних систем на ПЛІС</b>				
Тема 9. Математичні оператори та синтез схем на їх основі	2	2	-	12
Тема 10. Цифрові автомати (ЦА). Проектування ЦА на основі граф-схем алгоритмів				12
Тема 11. Архітектура та базові компоненти ПЛІС фірми Xilinx				12

Тема 12. Мікропроцесорні системи та IP-ядра процесорів				12
Тема 13. Проектування обчислювальної системи на базі IP-ядра МК PicoBlaze	2	-		12
<b>Разом</b>	<b>8</b>	<b>4</b>	<b>-</b>	<b>138</b>

### **5. Тематика лабораторних занять**

1. Робота з інтегрованим середовищем проектування Vivado фірми XILINX.
2. Використання паралельних операторів для проектування комбінаційних схем на мові VHDL.
3. Використання процесів та послідовних операторів для проектування комбінаційних та послідовних схем на мові VHDL.
4. Проектування цифрових автоматів на мові VHDL.
5. Проектування обчислювальної системи.

### **6. Комплексне практичне індивідуальне завдання**

Комплексне практичне індивідуальне завдання (КПІЗ) виконується кожним студентом одноосібно. Студенти повинні вибрати одну із запропонованих тем або запропонувати свою, відповідно до власних вподобань та в рамках даного предмету, обговорити та затвердити у викладача.

#### **Теми комплексних практичних індивідуальних завдань:**

1. Змінні та сигнали у VHDL. Відмінності та особливості їх застосування.
2. Перелічувані типи даних оголошені користувачем. Переваги їх застосування у проектах на мові VHDL.
3. Колізії присвоєння значення сигналу. Функції вирішення колізії, особливості їх застосування.
4. Функції та процедури у проектах на мові VHDL. Особливості їх застосування.
5. Стандартні пакети. Створення пакетів користувача та їх застосування у VHDL.
6. Файли, робота із файлами.
7. Застосування паралельних операторів присвоєння для опису та синтезу комбінаційних схем.
8. Застосування процесів та послідовних операторів для опису та синтезу комбінаційних схем.
9. Застосування процесів та послідовних операторів для опису та синтезу послідовних схем (тригери, регістри, лічильники).
10. Застосування змінних у процесах.

11. Математичні операції та синтез вузлів для виконання математичних операцій на VHDL.
12. Цифрові автомати та реалізація алгоритмів керування на їх основі.
13. Поняття мікропрограмного цифрового автомата.
14. Реалізація цифрового автомата Мілі на мові VHDL.
15. Реалізація цифрового автомата Мура на мові VHDL.
16. Застосування test-bench для верифікації проектів на мові VHDL.
17. Застосування test-bench для верифікації комбінаційних схем на мові VHDL.
18. Застосування test-bench для верифікації послідовних схем (тригери, регістри, лічильники). на мові VHDL.
19. Оператори циклу for та while. Відмінності в їх застосуванні.
20. Параметризовані компоненти та переваги їх застосування.
21. Застосування оператора generic для створення параметризованих компонентів.
22. Застосування оператора generate для керування процесом синтезу.
23. Архітектура та базові компоненти FPGA фірми Xilinx.
24. Алгоритми множення та структури пристроїв множення.
25. Алгоритми ділення та структури пристроїв ділення.
26. Реалізація блоків пам'яті комп'ютерних систем на ПЛІС.
27. IP-ядра та переваги їх застосування.
28. Мікропроцесорні IP-ядра. Переваги та недоліки їх застосування у проектах на ПЛІС.
29. Створення обчислювальних систем із застосуванням мікропроцесорного IP-ядра.

## 7. Самостійна робота

№ п/п	Тематика	Кількість годин	
		ДФН	ЗФН
1.	Рівні представлення та проектування на VHDL	4	4
2.	Базові елементи мови VHDL	4	4
3.	Типи даних (скалярні, складені, вказівникові)	4	4
4.	Сигнали та змінні та константи. Атрибути сигналів.	4	4
5.	Математичні, логічні оператори. Оператори зсуву. Вирази	4	4
6.	Паралельні та послідовні оператори присвоювання	4	4
7.	Процеси	4	6
8.	Проектування комбінаційних схем та компонентів	4	6
9.	Проектування послідовних схем із пам'яттю	4	6
10.	Створення та застосування test-bench для верифікації проектів	4	6
11.	Процедури та функції.	4	6
12.	Створення і застосування пакетів	4	6
13.	Файли. Опис файлу та робота із файлами	4	6
14.	Параметризовані компоненти. Застосування оператора generic	4	6
15.	Процес синтезу проекту. Застосування оператора generate	4	6
16.	Архітектура та базові компоненти FPGA фірми Xilinx	4	6
17.	Проблеми та методи синхронізації систем на ПЛІС	4	6
18.	Проектування цифрових та мікропрограмних автоматів	4	6
19.	Алгоритми множення та структури пристроїв множення	4	6
20.	Алгоритми ділення та структури пристроїв ділення	4	6
21.	Модель пам'яті цифрових систем на VHDL (ОЗП, ПЗП, FIFO)	4	6
22.	Моделювання роботи із пам'яттю (цикли запису і зчитування)	4	6
23.	Організація обчислювальних систем на ПЛІС	4	6
24.	IP-ядра процесорів (Microblaze, Nios, ARM)	4	6
25.	Проектування периферійних вузлів. IP-core	4	6
	<b>ВСЬОГО</b>	<b>100</b>	<b>138</b>

## 8. Тренінг з дисципліни

№ з/п	Вид роботи	Порядок проведення тренінгу
1.	Вступна частина	Ознайомлення студентів з темою тренінгового заняття «Використання VHDL для проектування цифрових пристроїв» і видача завдання.
2.	Практична частина	<ol style="list-style-type: none"> <li>1. Аналіз завдання та формулювання вимог.</li> <li>2. Побудова алгоритму роботи та структурної схеми пристрою.</li> <li>3. Проектування на мові VHDL окремих компонентів та пристрою в цілому.</li> <li>4. Представити результати у вигляді звіту, що містить алгоритм роботи пристрою та його структурну схему, вихідний код програми та результати моделювання.</li> </ol>
3.	Підведення підсумків	Обговорення результатів виконаних завдань.

## 9. Засоби оцінювання та методи демонстрування результатів навчання

У процесі вивчення дисципліни «Технології комп'ютерного проектування» використовуються наступні засоби оцінювання та методи демонстрування результатів навчання:

- поточне тестування та опитування;
- оцінювання результатів лабораторних робіт;
- ректорська контрольна робота;
- оцінювання виконання завдань тренінгу;
- оцінювання результатів КППЗ.

## 10. Критерії, форми поточного та підсумкового контролю

Підсумковий бал (за 100-бальною шкалою) з дисципліни «Технології комп'ютерного проектування» визначається як середньозважена величина, залежно від питомої ваги кожної складової залікового кредиту:

Заліковий модуль 1	Заліковий модуль 2	Заліковий Модуль 3
30 %	40 %	30 %
<ol style="list-style-type: none"> <li>1. Виконання та захист лабораторних робіт (3 роботи по 20 балів) – 60 балів</li> <li>2. Модульна контрольна робота – 40 балів</li> </ol>	<ol style="list-style-type: none"> <li>1. Виконання та захист лабораторних робіт (2 роботи по 20 балів) – 40 балів</li> <li>2. Ректорська контрольна робота – 60 балів</li> </ol>	<ol style="list-style-type: none"> <li>1. Виконання завдань під час тренінгу – 20 балів</li> <li>2. Написання та захист КППЗ – 80 балів</li> </ol>

### Шкала оцінювання:

За шкалою ЗУНУ	За національною шкалою	За шкалою ECTS
90-100	Відмінно	A (відмінно)
85-89	Добре	B (дуже добре)
75-84		C (добре)
65-74	Задовільно	D (задовільно)
60-64		E (достатньо)
35-59	Незадовільно	FX (незадовільно, з можливістю повторного складання)
1-34		F (незадовільно, з обов'язковим повторним курсом)

### 11. Інструменти, обладнання та програмне забезпечення, використання яких передбачає навчальна дисципліна

№	Найменування	Номер теми
1.	Середовище Xilinx Vitis 2020.2	1-13
2.	Середовище MS Visual Studio Code	1-13

### 12. РЕКОМЕНДОВАНІ ДЖЕРЕЛА ІНФОРМАЦІЇ

1. Peter J. Ashenden «Digital Design an Embedded Systems Approach Using VHDL» - Elsevier Inc. 2018. – 574 p.
2. Pong P. Chu «RTL Hardware Design Using VHDL. Coding for Efficiency, Portability, and Scalability» - Wiley-Interscience publication. 2020. - 696 p.
3. Mark Zwoliński Digital System Design with VHDL. 2nd ed.» - Pearson Education Limited. 2018. -386 p.
4. Харрис Д.М., Харрис С.Л. «Цифровая схемотехника и архитектура компьютера» – М. : ДМК-Пресс, 2021. - 810 с.
5. Електронний курс з дисципліни «Технології комп'ютерного проектування» для студентів галузі знань 12 «Інформаційні технології» спеціальності 122 «Комп'ютерні науки» на платформі Moodle ЗУНУ /Осолінський О.Р. - Тернопіль, 2021. <https://moodle.wunu.edu.ua>.
6. FPGA Tutorial. VHDL [Електронний ресурс]. Режим доступу: <https://fpgatutorial.com/vhdl/>
7. Basic VHDL Tutorials. [Електронний ресурс]. Режим доступу: <https://vhdlwhiz.com/basic-vhdl-tutorials/>